

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

11036 U.S. PTO
10/032359
12/21/01

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 04 月 10 日
Application Date

申請案號：090108587
Application No.

申請人：應用材料股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2001 年 4 月 27 日
Issue Date

發文字號：09011006038
Serial No.

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 新型名稱	中 文	防止氫雜質擴散之二氧化矽/氮化矽結構製程方法
	英 文	A Processing Method of SiO ₂ /Si ₃ N ₄ Multiple Layers for Preventing [H] Diffusion
二、發明人 創作人	姓 名	一、傅子瓚 Fu, Tzy-Tzan 二、林冠廷 Lin, Kuan-Ting 三、周釗生 Chou, Chao-Sheng
	國 籍	一、中華民國 二、中華民國 三、中華民國
	住、居所	一、新竹市科學工業園區研發二路32號 No.32, R & D Road II, Science-Based Industrial Park Hsinchu, Taiwan, R. O. C. 二、新竹市科學工業園區研發二路32號 No.32, R & D Road II, Science-Based Industrial Park Hsinchu, Taiwan, R. O. C. 三、新竹市科學工業園區研發二路32號 No.32, R & D Road II, Science-Based Industrial Park Hsinchu, Taiwan, R. O. C.
三、申請人	姓 名 (名稱)	美商應用材料股份有限公司 APPLIED MATERIALS INC.
	國 籍	美國
	住、居所 (事務所)	美國加州聖大克勞拉市波爾斯大道3050號 3050 Bowers Avenue, Santa Clara, California 95054 U.S.A.
	代 表 人 姓 名	瓊西 J.史維尼 Joseph J. SWEENEY

裝

訂

線

四、中文發明摘要(發明之名稱：)

防止氫雜質擴散之二氧化矽/氮化矽結構製程方法

本發明提供了一種新的二氧化矽/氮化矽結構製程方法，對於傳統使用低壓化學氣相沈積法以沈積氮化矽之沈積過程中，所可能造成之氫雜質擴散問題提供一解決方法，本發明所提供的二氧化矽/氮化矽間隙壁層的製程方法，係在形成閘極結構周圍之二氧化矽層後，於其上先形成一阻障層，接著在進行低壓化學氣相沈積氮化矽層，如此該阻障層即可防止於進行低壓化學氣相沈積時，吸附於氮化矽中之氫原子擴散進入閘極氧化層與通道中，破壞MOS電晶體電性。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 ()

5-1 發明領域：

本發明係有關於一種二氧化矽/氮化矽結構之製程方法，特別是一種能防止氫雜質擴散之二氧化矽/氮化矽結構之製程方法。

5-2 發明背景：

隨著資訊科技的進步發達，每天皆有許多電子產品被發明出來，而這些電子新產品，往往需要較以往為多的記憶體、與更快的執行速度，來執行更多的功能。基本上，這些記憶體主要由一個金氧半(MOS)電晶體與一個電容所組成，而 MOS 電晶體則主要包含閘極、汲極、與源極三個部份。一般而言，閘極係由不同材質所組成的結構，諸如介電層(Dielectric layer)、金屬層、以及間隙壁層(Spacer)等組成。上述間隙壁層之用途，係在閘極結構之下方與源極與汲極之間，形成一個輕摻雜汲極層(Lightly Doped Drain, LDD)，用以防止短通道(Short-channel)或熱電子(Hot electron)效應的產生，傳統上間隙壁層是由氮化矽組成，由於需運用非等向性蝕刻來進行往往會在間隙壁層造成瑕疵，或是針孔(Pin hole)問題，於是便可能破壞隔離層甚至造成漏電流，進而破壞整個 MOS 電晶體之結構。請參閱第一圖，為閘極結構之閘極氧化層 101、多晶矽層 102 及間隙壁層 103 形成並定義(Define)之後的側

(請先閱讀背面之注意事項再填寫本頁)

裝

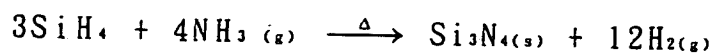
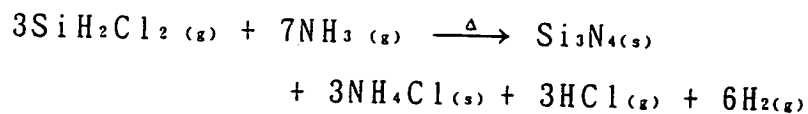
訂

線

五、發明說明 ()

面剖視圖。近來，多以一二氧化矽層與一氮化矽共同構築而成一間隙壁層，其中二氧化矽層是用來降低應力之影響，造成氮化矽層之剝離，請參閱第二圖為間隙壁層之放大圖，其中二氧化矽層 201 厚度為 200 至 300 埃，而氮化矽層 202 厚度為 400 至 800 埃，另外，這種氧化矽/氮化矽結構亦可應用在一些特殊 IC 應用上，如 E²PROM 及快閃記憶體 (Flash)，需要一層 ONO 層以作為他們的「浮置閘 (Floating Gate)」及「控制閘 (Control Gate)」之間的介電材料。而 ONO 結構中，上下兩層 O 即代表 SiO₂，中間層「N」即為一層薄氮化矽層。另外，亦可使用於電容間作為介電材料，利用氮化矽材質之高介電常數特性。

傳統上製作氧化矽/氮化矽結構間隙壁層的方法通常是以低壓化學氣相沈積法 (Low Pressure Chemical Vapor Deposition, LPCVD) 來達成，低壓化學氣相沈積法 (LPCVD) 係採用氣態的含氮物質與氣態的含矽物質進行化學反應以生成成氮化矽層。此一反應中的含矽反應物來自外界所提供的氣體源，如二氯矽甲烷 (Dichlorosilane, SiH₂Cl₂)、Si₂H₆、Si₂Cl₆ 或是矽甲烷 (silane, SiH₄)。而含氮反應物來自氨 (NH₃)，在低壓化學氣相沈積法 (LPCVD) 通常採用二氯矽甲烷、SiH₄ 以及氨氣作為反應的氣體源，其化學反應式為



五、發明說明()

然而在半導體晶圓的製程中，半導體材料的導電性係由半導體中所摻雜的雜質予以控制，所加雜質的濃度，以及摻雜區域的範圍，均會影響晶圓上半導體元件的性能。而在高溫情況下，半導體材料中所摻雜的雜質會產生熱擴散的現象，使得摻雜雜質的區域擴大、偏移，區域中的雜質濃度降低，元件的摻雜區域及(或)通道區域間的幾何關係將因此而改變；嚴重時甚至會發生摻雜區域近接、重疊，通道縮短而產生短通道效應(Short Channel Effect)或是穿透效應(Punchthrough Effect)等，尤其是進行 LPCVD 反應以生成氮化矽層所產生之氫原子，極容易吸附於氮化矽層中，在高溫情況下氫原子易擴散入閘極氧化層與通道中，造成 MOS 電晶體啟始電壓之偏移。為了避免上述現象，防止氫雜質擴散進入閘極氧化層與通道區，破壞 MOS 電晶體電性，因此除了需考慮熱預算防止雜質(尤其是氫原子)擴散，更需有一創新之二氧化矽/氮化矽結構能夠防止氫原子擴散。

5-3 發明目的及概述：

鑒於上述之發明背景中，傳統應用於閘極間壁矽或電容介電層中的二氧化矽/氮化矽結構之製程方法有其缺點，於低壓化學氣相沈積中，對於雜質之擴散所造成電性之破壞難以控制，且對於針孔(Pin hole)問題無法解決。因此對於高集積度的深次微米半導體積體電路製程，實需

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

有一更理想的製程方法以防止因擴散所造成電性之破壞。

根據以上所述之目的，本發明提供了一種新的二氧化矽/氮化矽製程方法，對於傳統之低壓化學氣相沈積法之沈積過程中，所可能造成之針孔問題與氫雜質擴散問題提供一解決方法，本發明所提供的氮化矽間隙壁層的製程方法，係在形成閘極結構周圍之二氧化矽層後，於其上先成長一阻障層，接著在進行低壓化學氣相沈積氮化矽層，如此該阻障層即可防止於進行低壓化學氣相沈積時，吸附於氮化矽中之氫原子擴散進入閘極氧化層與通道中，破壞MOS電晶體電性。

5-4 圖式簡單說明：

本發明的較佳實施例將於往後之說明文字中輔以下列圖形做更詳細的闡述：

第一圖為 MOS 電晶體閘極結構的概略圖；

第二圖為 MOS 電晶體閘極間隙壁層的放大圖；

第三圖描繪根據本發明之第一個較佳實施例，在一已定義好主動區之晶圓表面，依序沈積閘極氧化層、多晶矽層以及矽化金屬層，並定義閘極結構之後的側面剖視圖；

第四圖描繪在第三圖之晶圓表面，沈積一二氧化矽層之側面剖視圖；

第五圖為根據本發明製程 SiON，氧化氮層較佳實施例

五、發明說明()

中所採用之反應設備的概略圖；

第六圖描繪在第四圖之晶圓表面，沈積一 SiON ，氧化氮層之側面剖視圖；

第七圖描繪在第六圖之晶圓表面，沈積一氮化矽層之側面剖視圖；

第八圖描繪對第七圖之二氧化矽 / SiON ，氧化氮 / 氮化矽層執行非等向性蝕刻後，以形成一間隙壁層於閘極結構兩旁之側面剖視圖；

第九圖為本發明之第二個較佳實施例，描繪在一已定義主動區之晶圓表面，依序沈積閘極氧化層、多晶矽層以及矽化金屬層，並定義閘極結構之後的側面剖視圖；

第十圖描繪在第九圖之晶圓表面，沈積二氧化矽層之側面剖視圖；

第十一圖描繪在第十圖之晶圓表面，沈積薄氮化矽層，並經熱退火處理之側面剖視圖；

第十二圖描繪在第十圖之晶圓表面，沈積一厚氮化矽層，並執行非等向性蝕刻後的晶圓側面剖視圖；

第十三圖為本發明之第三個較佳實施例，描繪在一已定義主動區之晶圓表面，依序沈積閘極氧化層、多晶矽層以及矽化金屬層，並定義閘極結構之後的側面剖視圖；

第十四圖描繪在第十三圖之晶圓表面，沈積二氧化矽層之側面剖視圖；

第十五圖描繪在第十四圖之晶圓表面，沈積薄氮化矽層，並經熱退火處理之側面剖視圖；以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

第十六圖描繪在第十五圖之晶圓表面，沈積一厚氮化矽層，並執行非等向性蝕刻後的晶圓側面剖視圖。

圖號對照說明

101 閘極氧化層	102 多晶矽層
103 間隙壁層	201 二氧化矽層
202 氮化矽層	300 晶圓
301 閘極氧化層	302 多晶矽層
303 矽化金屬層	304 二氧化矽層
305 SiON _x 氧化氮層	306 氮化矽層
309 隔離區	310 LDD 層
512 製程反應室中	520 基座
550 電漿管	530 微波產生器
540 幫浦抽送系統	400 晶圓
401 閘極氧化層	402 多晶矽層
403 矽化金屬層	404 二氧化矽層
405 薄氮化矽層	406 厚氮化矽層
409 隔離區	410 LDD 層
500 晶圓	501 閘極氧化層
502 多晶矽層	503 矽化金屬層
504 二氧化矽層	505 薄氮化矽層
506 厚氮化矽層	509 隔離區
510 LDD 層	

五、發明說明()

5-5 發明詳細說明：

在不限制本發明之精神及應用範圍之下，以下即以一實施例，介紹本發明之實施；熟悉此領域技藝者，在瞭解本發明之精神後，當可應用此方法成長一阻障層於二氧化矽/氮化矽結構中，如此該阻障層即可在進行低壓化學氣相沈積氮化矽層時，防止吸附於氮化矽中之氫原子擴散進入閘極氧化層與通道中，破壞 MOS 電晶體電性，本發明之應用當不僅限於以下所述之實施例

本發明揭露一二氧化矽/氮化矽製程，係在形成閘極結構周圍之二氧化矽層後，於其上先成長一阻障層，接著在進行低壓化學氣相沈積氮化矽層，如此該阻障層即可防止於進行低壓化學氣相沈積時，吸附於氮化矽中之氫原子擴散進入閘極氧化層與通道中，破壞 MOS 電晶體電性。

請參閱第三圖至第八圖，其係用以描繪本發明之第一個較佳實施例，但為了簡化說明，故將電容之相關製程則省略。首先定義出主動區於一晶圓 300 之表面，接著依序沈積閘極氧化層 301(Gate Oxide)、多晶矽層 302、以及矽化金屬層 303。應注意的是，每個主動區係利用隔離區 309 加以隔離，而閘極結構則利用光阻塗佈在矽化金屬層 303 之表面，以定義出所需閘極結構之形狀後，再對各沈積層進行非等向性蝕刻。而在除去光阻後，並利用閘極結構為罩幕以執行離子植入，用以形成一 LDD 層 310。第三圖描繪出在晶圓 300 中，形成一閘極結構與 LDD 層 310 後之剖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

面側視圖。

第四圖描繪在第三圖之晶圓 300 表面，沈積第一沈積層 304 之側面剖視圖，該第一沈積層 304 為二氧化矽層，參閱第五圖，當沈積完該第一沈積層後，將晶圓 300 放入一製程反應室 512 中之基座 520 上以進行電漿氮化處理程序，在反應室 512 外的電漿管 550 中，採用微波產生器 530 發射出微波能量到電漿管中，以衝擊含氮氣體產生電漿，該含氮氣體之濃度範圍可為 5% 至 90%，此時含氮氣體經由部分離子化的作用而形成電漿氣體，亦即將含氮氣體電漿化，在本實施例中，電漿氣體中將含有 N 、 N^* 、 N^- 、 N^+ 、 N_2^- 、 N_2^+ 、 e^- 等等帶有正負電或是電中性的原子團，其中 N^* 表示激發態的氮原子。當含有氮成份的電漿氣體產生之後，接著運轉幫浦抽送系統 540，將電漿氣體傳送到反應室 512 之中。在含氮氣體傳送到達反應室時，將反應室 512 中的製程晶圓 300，以燈泡輻射加熱或由基座內的加熱元件（未顯示於圖中）加熱至一特定溫度，以提升二氧化矽層之原子能量，此時電漿氣體將會吸附於二氧化矽層表面，並擴散進入二氧化矽層，生成一 $SiON_x$ 氧化氮層。適當的晶圓溫度可維持在室溫至攝氏 750 度左右，但以本最佳實施例而言適當的基板溫度為 550°C，並於 $SiON_x$ 氧化氮層製程進行中控制於此一溫度下，而 $SiON_x$ 氧化氮層之製程時間可維持在 50 秒至 360 秒左右，但以本最佳實施例而言適當的製程時間為 100 秒，並於 $SiON_x$ 氧化氮層製程進行中控制於此一製程時間下，而擴散進入二氧化矽層生成之 $SiON_x$ 氧

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明()

化氮層約 10 至 50 埃左右，參閱第六圖，則描繪在經過第五圖之電漿氮化處理後，擴散生成一 SiON ，氧化氮層 305 之晶圓 300 之側面剖視圖，該層可防止在進行下一步驟之低壓化學氣相沈積時，吸附於氮化矽層上之氫原子擴散。

接著參閱第七圖描繪對第六圖之晶圓 300 執行一低壓化學氣相沈積法以生成氮化矽層後之側面剖視圖，先於 SiON ，氧化氮層 305 上採用低壓化學氣相沈積法(LPCVD)，利用氣態的含氮物質與氣態的含矽物質進行化學反應以生成氮化矽層。此一反應中的含矽反應物來自外界所提供的氣體源，如二氯矽甲烷(Dichlorosilane, SiH_2Cl_2)、 Si_2H_6 、 Si_2Cl_6 或是矽甲烷(silane, SiH_4)。而含氮反應物來自氮(NH_3)，在低壓化學氣相沈積法(LPCVD)通常採用二氯矽甲烷、 SiH_4 以及氮氣作為反應的氣體源。接著進行間隙蔽層之非等向性蝕刻，參閱第八圖所示為含有一阻障層以防止於進行低壓化學氣相沈積時，吸附於氮化矽中之氫原子擴散進入閘極氧化層與通道中之間壁矽層即告完成。

請參閱第九圖至第十二圖，其係用以描繪本發明之第二個較佳實施例，同樣的，將電容之相關製程亦略去以簡化說明。在第九圖中，首先描繪在一以定義好主動區之晶圓 400 表面，依序沈積閘極氧化層 401(Gate Oxide)、多晶矽層 402、以及矽化金屬層 403，並定義閘極結構之後的側面剖視圖。此外，隔離區 409 與 LDD 層 410 亦形成於晶圓 400 之中。第十圖描繪在第九圖之晶圓 400 表面，沈積

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

第一沈積層 404 之側面剖視圖，該第一沈積層 404 為二氧化矽層；接著參閱第十一圖，採用低壓化學氣相沈積法(LPCVD)，利用氣態的含氮物質與氣態的含矽物質進行化學反應以於該二氧化矽層 404 上生成一薄氮化矽層，厚度約為 20 至 50 埃。此一反應中的含矽反應物來自外界所提供的氣體源，如二氯矽甲烷(Dichlorosilane, SiH_2Cl_2)、 Si_2H_6 、 Si_2Cl_6 或是矽甲烷(silane, SiH_4)。而含氮反應物來自氨(NH_3)，在低壓化學氣相沈積法(LPCVD)通常採用二氯矽甲烷、 SiH_4 以及氮氣作為反應的氣體源。隨後將晶圓 400 送入熱爐管內，於惰性氣體(Ar、He)環境下加熱退火，以驅離吸附於薄氮化矽層 405 中之氫原子，讓原本氮化矽層 405 中之氫原子濃度大幅下降，適當的退火溫度維持在 800°C 至 1100°C 左右，但以本最佳實施例而言適當的基板溫度為 900°C ，並於退火製程進行中控制於此一溫度下，而退火製程時間可維持在 10 秒至 30 秒左右，以本最佳實施例而言適當的退火製程時間為 20 秒。

參閱第十二圖，而後再執行一如同成長薄氮化矽層之低壓化學氣相沈積法，利用氣態的含氮物質與氣態的含矽物質進行化學反應生成另一厚氮化矽層 406 於薄氮化矽層 405 上，其厚度約為 400 至 800 埃。此一反應中的含矽反應物來自外界所提供的氣體源，如二氯矽甲烷(Dichlorosilane, SiH_2Cl_2)、 Si_2H_6 、 Si_2Cl_6 或是矽甲烷(silane, SiH_4)。而含氮反應物來自氨(NH_3)，在低壓化學氣相沈積法(LPCVD)通常採用二氯矽甲烷、 SiH_4 以及氮氣

五、發明說明()

作為反應的氣體源。其中經過退火製程之薄氧化層 405，由於所含之氫原子濃度大幅下降，雖然於其上所成長之厚氮化矽層 406 於沈積過程中仍會吸附大量氫原子，但因薄氮化矽層 405 存在可如阻障層 (Barrier Layer) 般阻擋氫原子擴散進入閘氧化層和通道區。接著進行間隙蔽層之非等向性蝕刻，此時含有一阻障層以防止於進行低壓化學氣相沈積時，吸附於厚氮化矽層 406 中之氫原子擴散進入閘極氧化層與通道中之間壁矽層即告完成。

請參閱第十三圖至第十六圖，其係用以描繪本發明之第三個較佳實施例，同樣的，將電容之相關製程亦略去以簡化說明。在第九圖中，首先描繪在一以定義好主動區之晶圓 500 表面，依序沈積閘極氧化層 501 (Gate Oxide)、多晶矽層 502、以及矽化金屬層 503，並定義閘極結構之後的側面剖視圖。此外，隔離區 509 與 LDD 層 510 亦形成於晶圓 500 之中。第十四圖描繪在第十三圖之晶圓 500 表面，沈積第一沈積層 504 之側面剖視圖，該第一沈積層 504 為二氧化矽層；接著參閱第十五圖，採用原子層沈積法 (Atomic Layer Deposition)，利用氣態的含氮物質與氣態的含矽物質輪流進入反應室中進行化學反應，以於該二氧化矽層 504 上生成一薄氮化矽層 505，這種形成氮化矽層之製程方法，是讓含氮氣體先被導入製程反應室中，此時有部分含氮氣體會被吸附在二氧化矽表面上，接著關閉含氮氣體進氣閥並以惰性氣體清潔反應室後；再將含矽氣體導入氣體反應室與吸附在半導體基板表面上之含氮氣體進

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

行反應以形成氮化矽薄層 505，該氮化矽薄層 505 所形成之厚度約為 20 至 50 埃。此一反應中的含矽反應物來自外界所提供的氣體源，如二氯矽甲烷(Dichlorosilane, SiH_2Cl_2)、 Si_2H_6 、 Si_2Cl_6 或是矽甲烷(silane, SiH_4)，而含氮反應物來自氮(NH_3)。由於利用原子層沈積法可以沈積一層不含氮之氮化矽層，因此可利用該層作為阻障層(Barrier Layer)。

參閱第十六圖，而後再執行一低壓化學氣相沈積法，利用氣態的含氮物質與氣態的含矽物質進行化學反應生成另一厚氮化矽層 506 於薄氮化矽層 505 上，其厚度約為 400 至 800 埃。此一反應中的含矽反應物來自外界所提供的氣體源，如二氯矽甲烷(Dichlorosilane, SiH_2Cl_2)或是矽甲烷(silane, SiH_4)、 Si_2H_6 、 Si_2Cl_6 。而含氮反應物來自氮(NH_3)，在低壓化學氣相沈積法(LPCVD)通常採用二氯矽甲烷、 SiH_4 以及氮氣作為反應的氣體源。其中經過原子層沈積法所沈積之一層不含氮之氮化矽薄層 505，由於不含氮原子，雖然於其上所成長之厚氮化矽層 506 於沈積過程中仍會吸附大量氮原子，但因薄氮化矽層 505 存在可如阻障層(Barrier Layer)般阻擋氮原子擴散進入閘氧化層和通道區。接著進行間隙蔽層之非等向性蝕刻，此時含有一阻障層 505 以防止於進行低壓化學氣相沈積時，吸附於厚氮化矽層 506 中之氮原子擴散進入閘極氧化層與通道中之間壁矽層即告完成。

以上所述僅為本發明之三個較佳實施例而已，並非用

五、發明說明()

以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。例如，形成含氫量降低之薄氮化矽層方法，並非僅限定於本說明書中之方法。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種擁有可防止氫雜質擴散之二氧化矽/氮化矽之半導體元件閘極結構製程方法，該方法至少包含下列步驟：
 - 定義主動區於一晶圓中；
 - 形成一氧化層於該晶圓表面上；
 - 形成一多晶矽層於該氧化層之上；
 - 形成一矽化金屬層於該多晶矽層之上；
 - 定義該閘極結構於該氧化層、該多晶矽層以及該矽化金屬層之上；
 - 利用該閘極結構為罩幕(Mask)，用以執行一離子植入以形成一輕摻雜汲極層(Lightly Doped Drain, LDD)於該晶圓中；
 - 形成第一沈積層於該晶圓之表面；
 - 放置該晶圓於一反應室中，該晶圓之表面具有該第一沈積層；
 - 提供含有氮成份的電漿氣體於該反應室外；
 - 傳送該含有氮成份的電漿氣體進入該反應室中，使其中的氮成份與該晶圓表面的該第一沈積層進行化學反應，以生成 SiON_x 氧化氮層於該第一沈積層表面上；
 - 形成第二沈積層於該 SiON_x 氧化氮層之表面；以及
 - 執行非等向性蝕刻(Anisotropic etching)於該複數個沈積層及 SiON_x 氧化氮層，以形成一間隙壁層於該閘極結構之兩側。
2. 如申請專利範圍第 1 項所述之方法，其中上述之該第一

六、申請專利範圍

沈積層為二氧化矽層。

3. 如申請專利範圍第 1 項所述之方法，其中上述之該第二沈積層為由低壓化學氣相沈積所製程之氮化矽層。

4. 如申請專利範圍第 1 項所述之方法，其中上述之電漿與該晶圓表面的該第一沈積層進行化學反應之時間控制在 50 秒與 360 秒之間。

5. 一種擁有可防止氫雜質擴散之二氧化矽/氮化矽之半導體元件閘極結構製程方法，該方法至少包含下列步驟：

定義主動區於一晶圓中；

形成一氧化層於該晶圓表面上；

形成一多晶矽層於該氧化層之上；

形成一矽化金屬層於該多晶矽層之上；

定義該閘極結構於該氧化層、該多晶矽層以及該矽化金屬層之上；

利用該閘極結構為罩幕(Mask)，用以執行一離子植入以形成一輕摻雜汲極層(Lightly Doped Drain, LDD)於該晶圓中；

形成一第一沈積層以覆蓋於該晶圓之表面；

形成一第二沈積層於該第一沈積層之上；

放置該晶圓於一反應室中，該晶圓之表面具有該第一沈積層與該第二沈積層；

六、申請專利範圍

- 執行一回火 (Anneal) 製程；
- 形成一第三沈積層於該第二沈積層之上；以及
- 執行非等向性蝕刻 (Anisotropic etching) 於該複數個沈積層，以形成一間隙壁層於該閘極結構之兩側。
6. 如申請專利範圍第 5 項所述之方法，其中上述之第一沈積層係由二氧化矽所組成。
7. 如申請專利範圍第 5 項所述之方法，其中上述之第二沈積層為由低壓化學氣相沈積所製程之氮化矽層。
8. 如申請專利範圍第 5 項所述之方法，其中上述之第二沈積層厚度控制在 20 埃至 50 埃之間。
9. 如申請專利範圍第 5 項所述之方法，其中上述之回火製程溫度控制在 800°C 至 1000°C 之間。
10. 如申請專利範圍第 5 項所述之方法，其中上述之回火製程時間控制在 10 秒至 30 秒之間。
11. 如申請專利範圍第 5 項所述之方法，其中上述之第三沈積層為由低壓化學氣相沈積所製程之氮化矽層。
12. 一種擁有可防止氫雜質擴散之二氧化矽 / 氮化矽之半導體

六、申請專利範圍

體元件閘極結構製程方法，該方法至少包含下列步驟：

定義主動區於一晶圓中；

形成一氧化層於該晶圓表面上；

形成一多晶矽層於該氧化層之上；

形成一矽化金屬層於該多晶矽層之上；

定義該閘極結構於該氧化層、該多晶矽層以及該矽化金屬層之上；

利用該閘極結構為罩幕(Mask)，用以執行一離子植入以形成一輕摻雜汲極層(Lightly Doped Drain, LDD)於該晶圓中；

形成第一沈積層於該晶圓之表面；

形成一第二沈積層於該第一沈積層之上；

形成一第三沈積層於該第二沈積層之上；以及

執行非等向性蝕刻(Anisotropic etching)於該複數個沈積層，以形成一間隙壁層於該閘極結構之兩側。

13.如申請專利範圍第12項所述之方法，其中上述之第一沈積層係由二氧化矽所組成。

14.如申請專利範圍第12項所述之方法，其中上述之第二沈積層為氮化矽層。

15.如申請專利範圍第12項所述之方法，其中上述之形成一第二沈積層於該第一沈積層之上更包含下列步驟：

六、申請專利範圍

放置該晶圓於一反應室中，該晶圓之表面具有該第一沈積層；

傳送含有氮成份的氣體進入該反應室，使其中部分該含氮氣體被吸附於該第一沈積層上；

清除反應室中未被吸附之該含氮氣體；以及

傳送含有矽成份的氣體進入該反應室中，使其中的矽成份與該半導體基板表面所吸附之該含氮氣體進行化學反應，以生成氮化矽於該第一沈積層表面。

16.如申請專利範圍第 15 項所述之方法，其中上述之該第二沈積層控制在 20 埃至 50 埃之間。

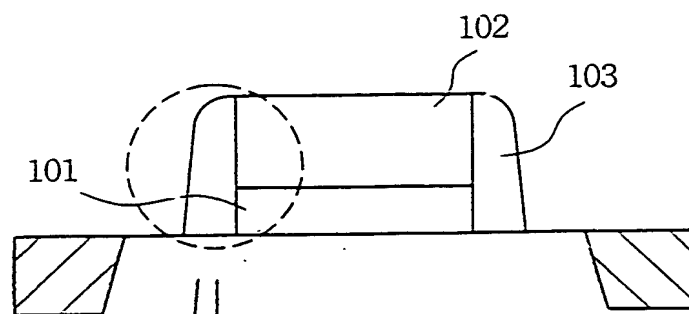
17.如申請專利範圍第 15 項所述之方法，其中上述之第三沈積層係由氮化矽所組成。

(請先閱讀背面之注意事項再填寫本頁)

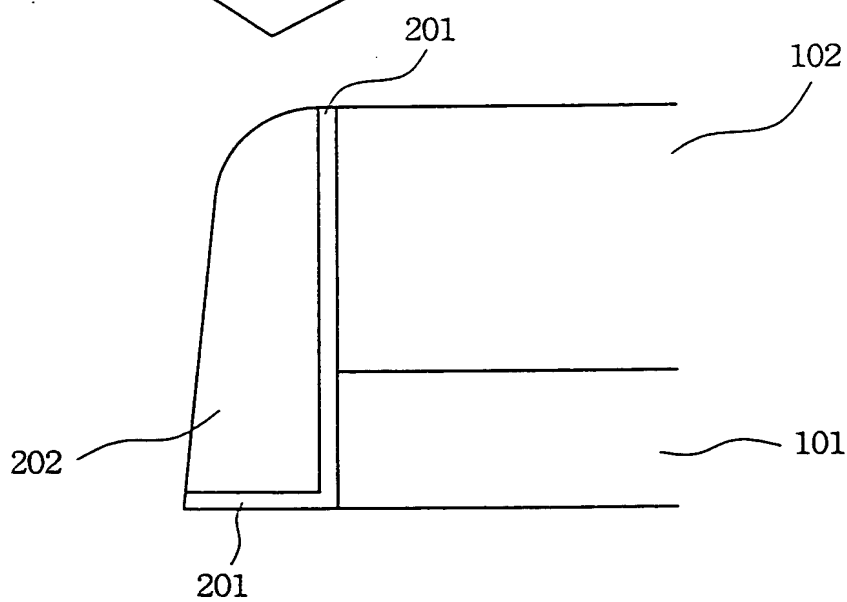
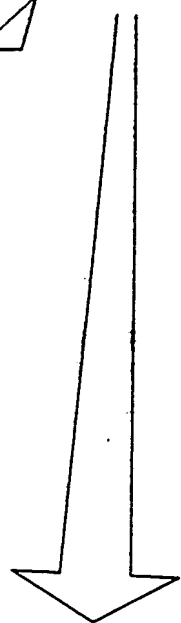
裝

訂

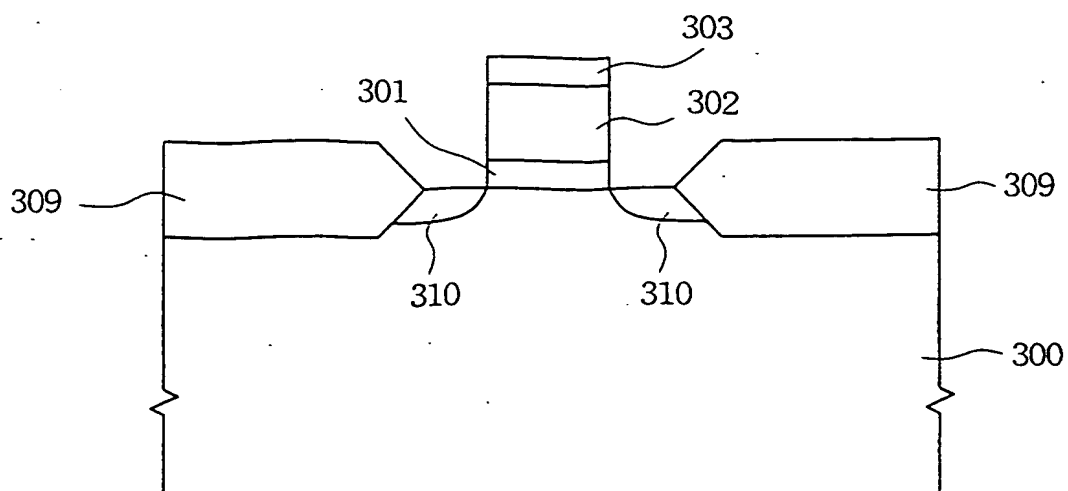
線



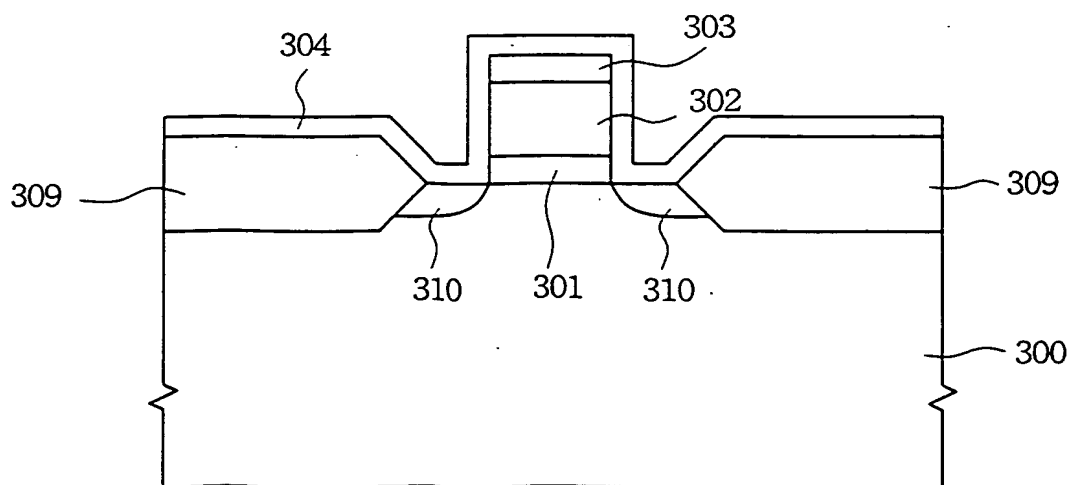
第一圖



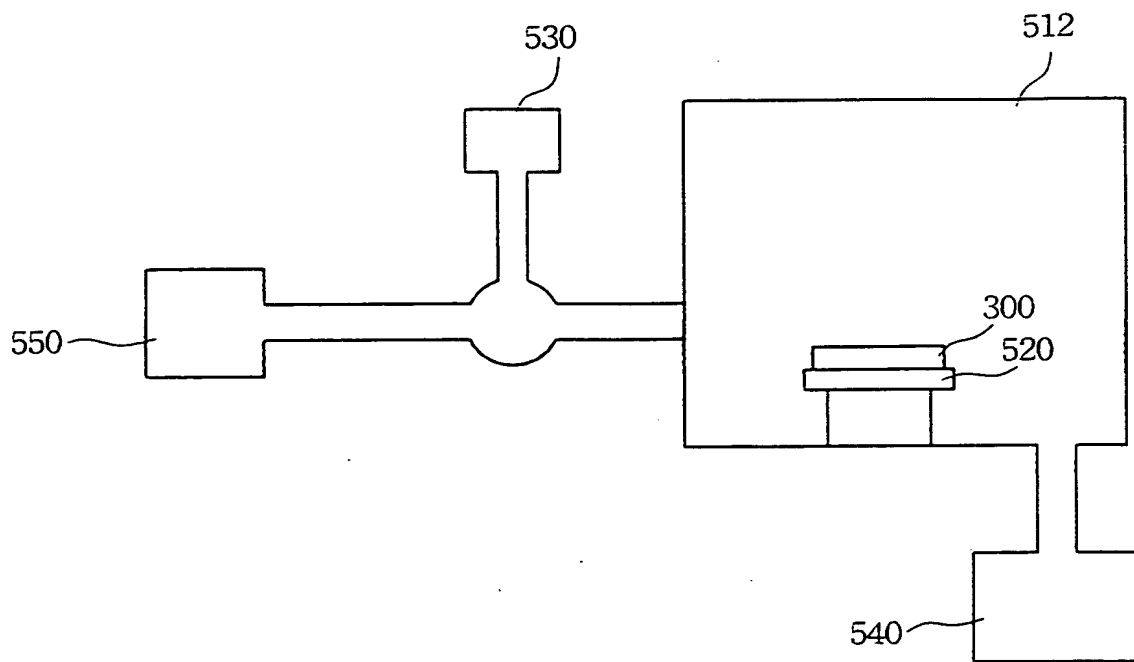
第二圖



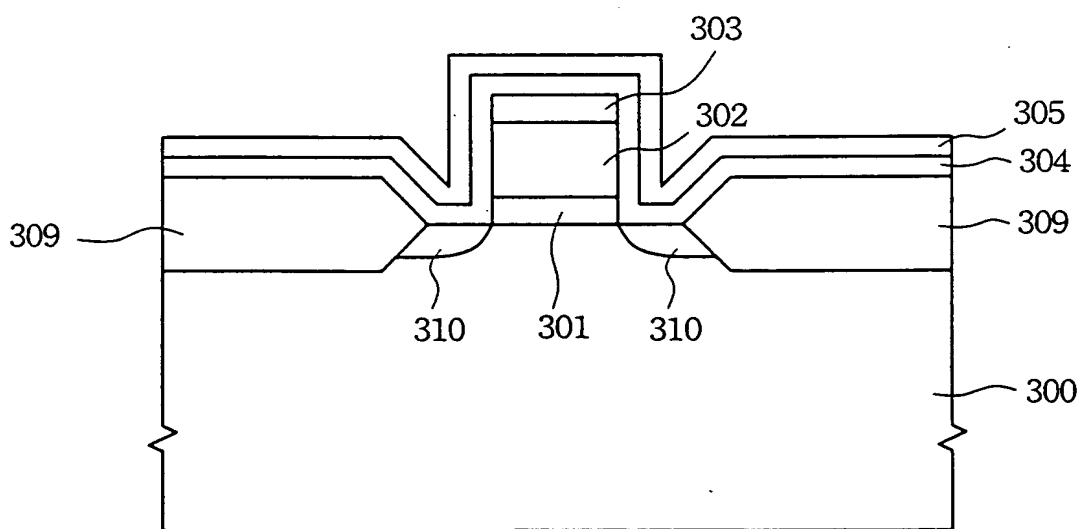
第三圖



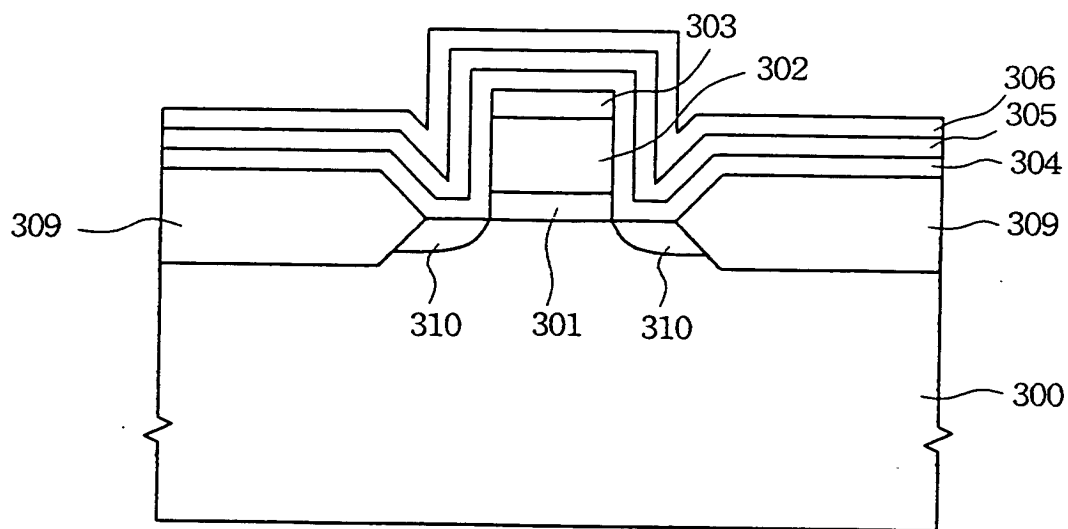
第四圖



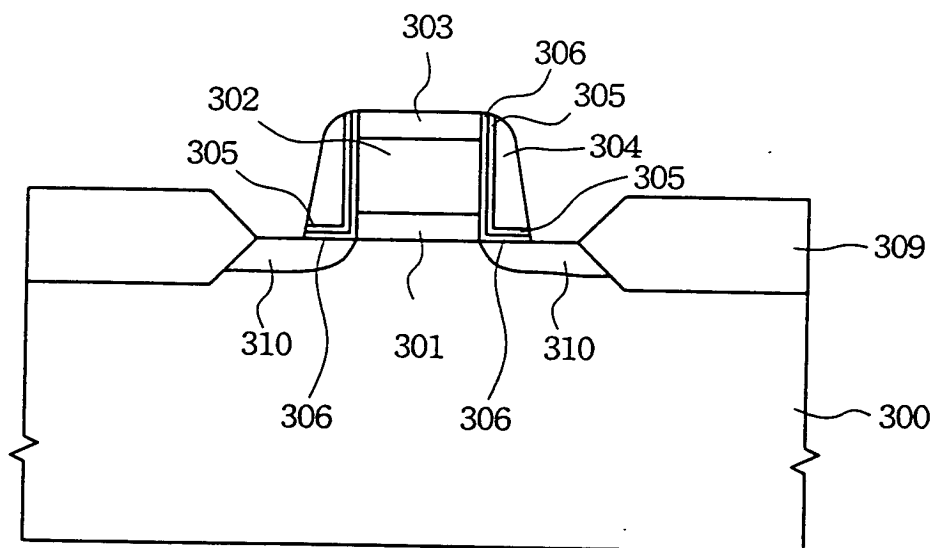
第五圖



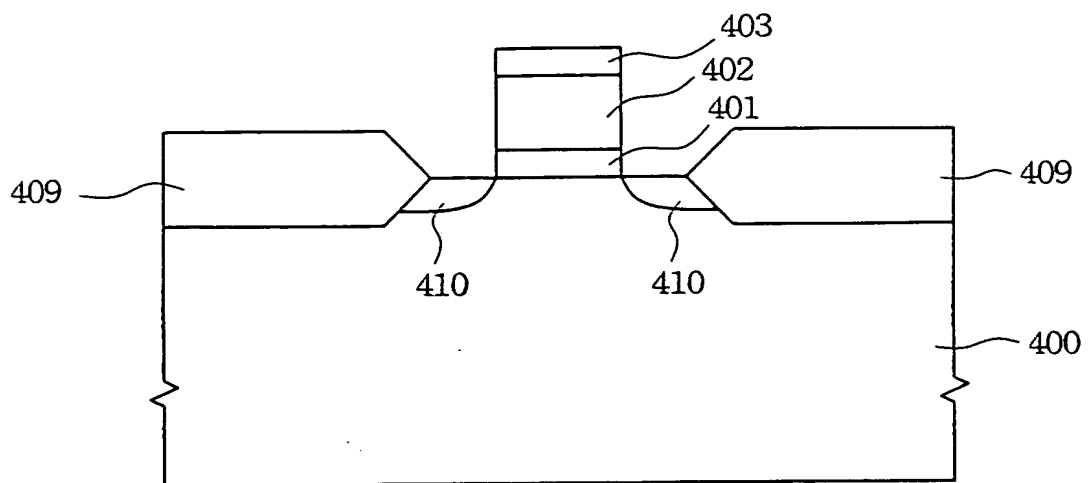
第六圖



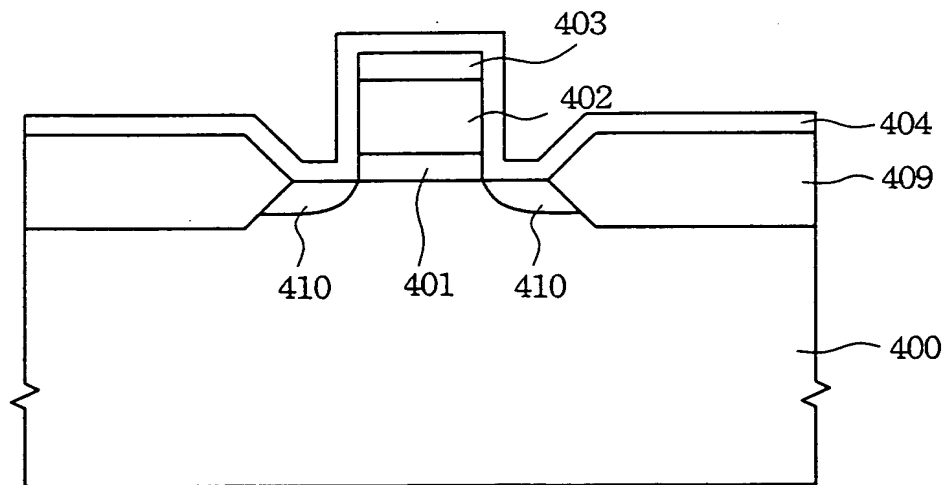
第七圖



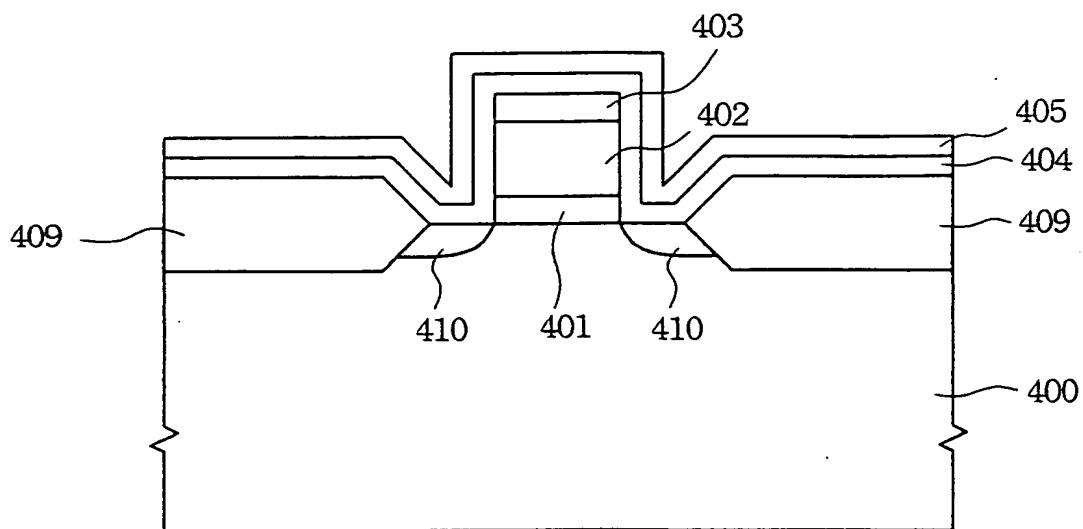
第八圖



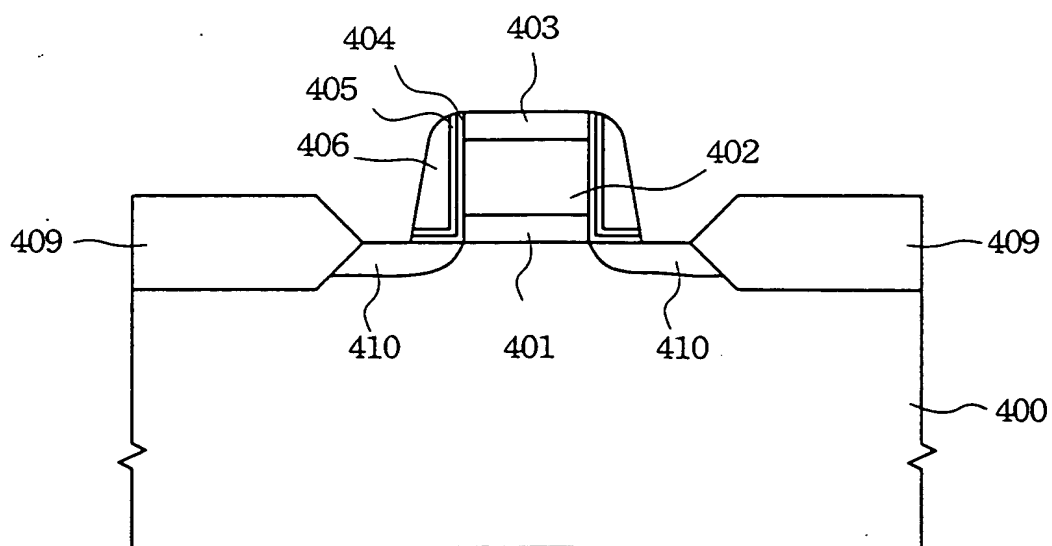
第九圖



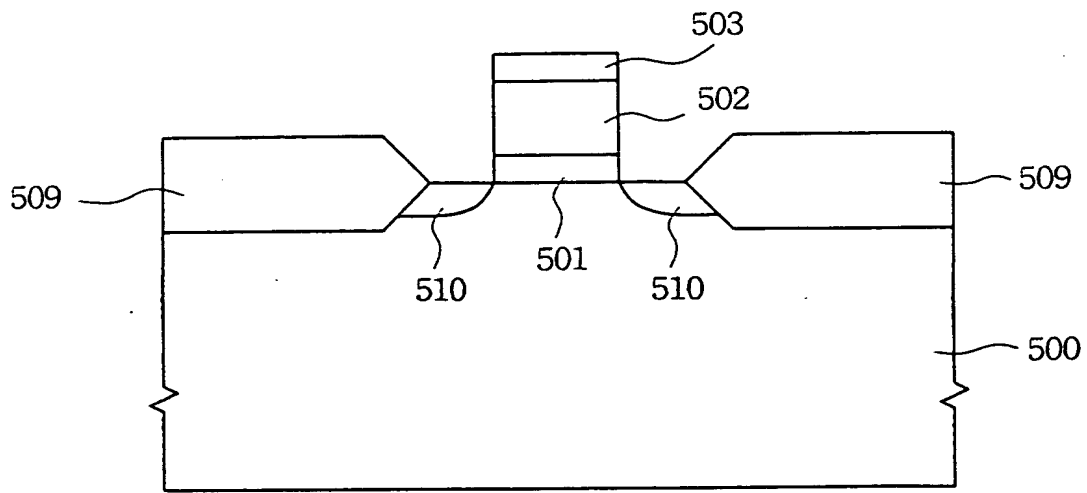
第十圖



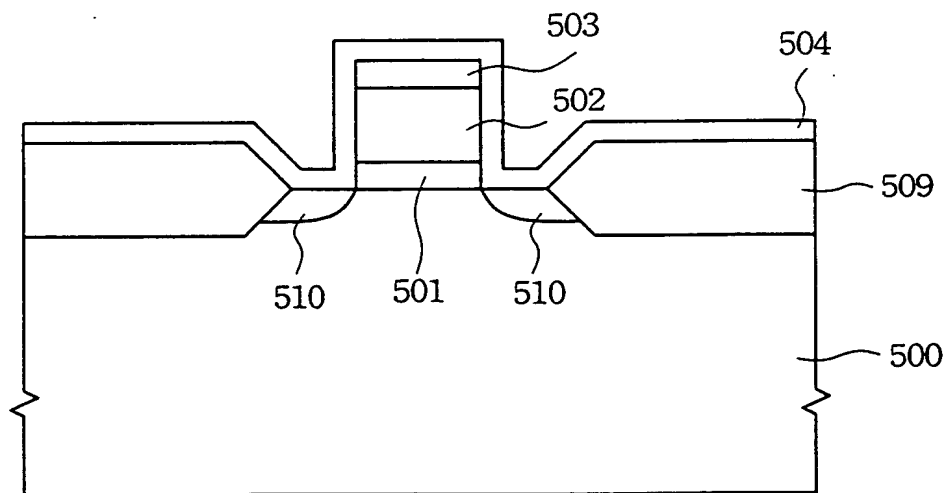
第十一圖



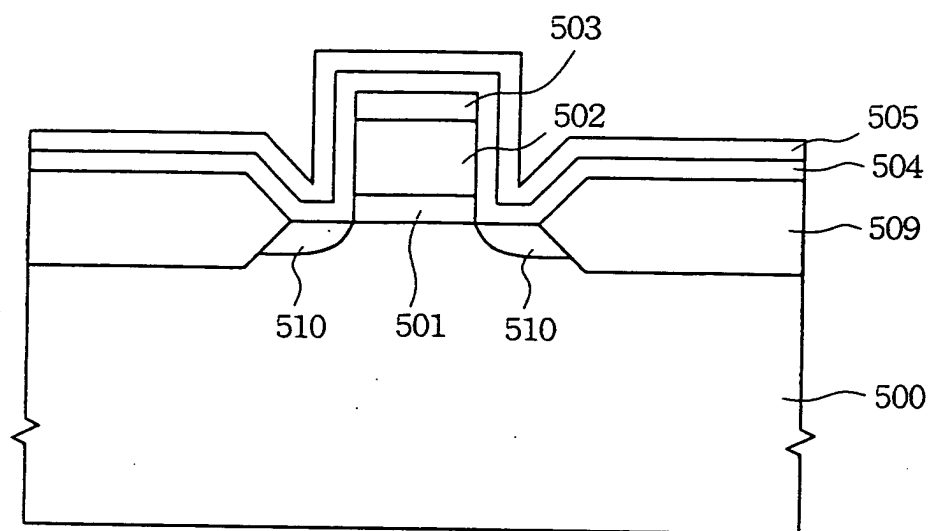
第十二圖



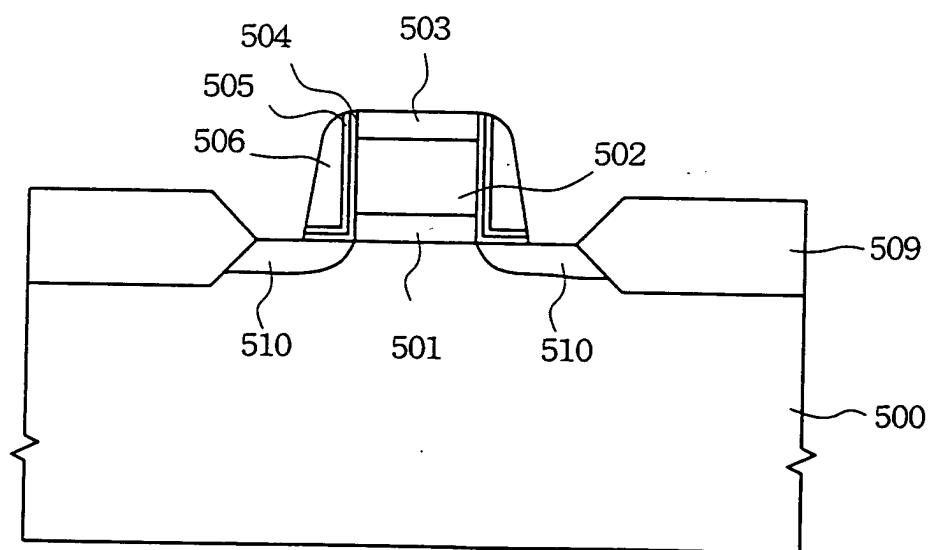
第十三圖



第十四圖



第十五圖



第十六圖